

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

03532152 **Image available**
LEAD FRAME AND MANUFACTURE THEREOF

PUB. NO.: 03-195052 [JP 3195052 A]
PUBLISHED: August 26, 1991 (19910826)
INVENTOR(s): SAGARA HIDEJI
APPLICANT(s): DAINIPPON PRINTING CO LTD [000289] (A Japanese Company or
 Corporation), JP (Japan)
APPL. NO.: 01-335749 [JP 89335749]
FILED: December 25, 1989 (19891225)
INTL CLASS: [5] H01L-023/50
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 14.2 (ORGANIC
 CHEMISTRY -- High Polymer Molecular Compounds)
JOURNAL: Section: E, Section No. 1135, Vol. 15, No. 454, Pg. 102,
 November 19, 1991 (19911119)

ABSTRACT

PURPOSE: To comply with the large size and the high-density mounting of a semiconductor element by a method wherein one part of a lead is extended to the lower part of a die pad and the electrical connection part of the lead protrudes to the outside from the die pad.

CONSTITUTION: Parts 4a of inner leads 4 are extended in such a way that they are situated partially at the lower part of a die pad 2; the inner leads 4a and the die pad 2 do not come into geometrical contact with each other. The inner leads 4a are bent perpendicularly to two short-side directions of the die pad 2 at the lower-part position of the die pad 2; their tips 4b protrude to the outside of the die pad 2 from short sides of the die pad 2. Consequently, the degree of extraction freedom of a lead frame is enhanced, and a package is made small. Thereby, it is possible to comply with the large size by a large capacity of a semiconductor element and to comply with the small size of a semiconductor device by the high-density mounting of the element.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-195052

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月28日

H 01 L 23/50

Y
K

9054-5F
9054-5F

審査請求 未請求 請求項の数 9 (全9頁)

⑮ 発明の名称 リードフレーム及びその製造方法

⑯ 特 願 平1-335749

⑰ 出 願 平1(1989)12月25日

⑱ 発 明 者 相 楽 秀 次 東京都新宿区市谷加賀町1丁目1番1号 大日本印刷株式会社内

⑲ 出 願 人 大日本印刷株式会社 東京都新宿区市谷加賀町1丁目1番1号

⑳ 代 理 人 弁理士 青木 健二 外6名

明 細 書

1. 発明の名称

リードフレーム及びその製造方法

2. 特許請求の範囲

(1) 半導体素子が搭載されるダイパッド及びこの半導体素子の電極パッドに電気的接続されるリードを少なくとも備えたリードフレームにおいて、

前記リードの一部が前記ダイパッドの下に延在しているとともに、そのリードの前記電気的接続される接続端部が前記ダイパッドより外側に突出していることを特徴とするリードフレーム

(2) 前記リードの前記接続端部が、前記ダイパッドの短辺より外側に突出していることを特徴とする請求項1記載のリードフレーム

(3) 前記リードの前記接続端部が、前記ダイパッド面に対してギャルウイング状に屈曲加工を施されていることを特徴とする請求項1記載のリードフレーム

(4) 前記ダイパッドの裏面の一部又は全部に絶縁層が形成されていることを特徴とする請求項1

ないし3のいずれか1記載のリードフレーム

(5) 前記ダイパッドの下に延在する前記リードの部分に絶縁層が形成されていることを特徴とする請求項1ないし3のいずれか1記載のリードフレーム

(6) 前記絶縁層は、熱硬化性ポリイミド系樹脂および熱硬化性ペースト等の液状絶縁性物質を塗布して、熱処理を行うことにより形成されることを特徴とする請求項4または5記載のリードフレーム

(7) 前記絶縁層は、熱硬化性ポリイミド系樹脂等のフィルム状絶縁物質、熱可塑性の接着剤および熱硬化性ポリイミド系樹脂の接着剤のいずれか一つを貼付することにより形成されることを特徴とする請求項4または5記載のリードフレーム

(8) 前記絶縁層は、熱硬化性ポリイミド系樹脂等のフィルム状絶縁物質を貼付することにより形成されるとともに、このフィルム状絶縁物質により露出リードどうしがテーピング接続されていることを特徴とする請求項5記載のリードフ

ム。

(9) 半導体素子が搭載されるダイパッド及びこの半導体素子の電極パッドに電氣的接続されるリードを少なくとも備えたリードフレームの製造方法において、

前記ダイパッドを支持するタイバーをプレス成形することによりそのダイパッドをアップセットし、その後前記リードを支持するダムバーをプレス成形することにより、前記リードの一部を前記ダイパッドの下に延在させるとともに、そのリードの前記電氣的接続される接続端部を前記ダイパッドより外側に突出させるようにしたことを特徴とするリードフレームの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体素子を搭載するリードフレームおよびその製造方法に関し、特に半導体素子を搭載するダイパッドを備えたリードフレームおよびその製造方法に関するものである。

〔従来の技術〕

素子面積が更に大きくなるので、標準化されたパッケージサイズにこのような面積の大きな素子を収納することは非常に困難になってくる。すなわち、例えば第9図に示すように4MDRAM素子を幅300mil、長さ675milのSOJパッケージに収めた場合、パッケージに占める素子面積の割合は64%~85%にもなってしまう。そして、前述のダイパッド2を有するリードフレーム1にこのような大面積の素子を収納しようした場合、このリードフレーム1においては、インナーリード4とダイパッド2とが同一平面内に配設されているので、パッケージ内部におけるインナーリード4を配設する面積が確保できない。したがって、従来のパッケージ構造のように大面積の素子を実装すると、インナーリード4の引き回しができなくなってしまう。

そこで、DRAM素子の大型化に対応させるために、ダイパッドのないダイパッドレスモールドパッケージ(SOJ)などが開発されてきている。例えば、第10図に示すように1MのDRAM用

現在、汎用LSIパッケージは、SMD(Surface Mount Device)化とピンピッチシュリンクによる小型化との二つの傾向にあるのに対し、一方では汎用大容量メモリーを代表するDRAM(Dynamic Random Access Memory)は、メモリー容量の増大により素子サイズが1.5倍/世代の割合で大型化してきている。

第8図は1Mビットの容量を有するDRAM素子を実装した従来のプラスチックパッケージの構造を示した図である。第8図に示すように、このパッケージは、リードフレーム1のダイパッド2にS1素子3を載せ、このダイパッド2にほぼ等しい平面内にリードフレーム1のインナーリード4を配設し、ボンディングワイヤ5を用いてS1素子3上のボンディングパッド6とリードフレーム1のインナーリード4との電氣的接続を行い、その後で封止樹脂によりモールドAした構造となっている。

〔発明が解決しようとする課題〕

しかしながら、メモリー容量が1Mを超えると、

として、Area wire device構造のパッケージが開発されており、このパッケージは素子の大型化に対応でき、現在では実用段階に至っている。また、第11図(a)に示すように、リードフレーム1のインナーリード4の上面にポリイミドもしくはポリエーテルアミドイミド等の絶縁フィルム13を貼り付け、この絶縁フィルム13の上に素子3を配したCOL(Chip On Lead)型のパッケージ構造、および第11図(b)に示すように、インナーリード4の下面に絶縁性樹脂フィルム13を貼り合わせ、その下面に素子3を配したLOC(Lead On Chip)型のパッケージ構造なども開発されてきている(例えば、特公昭63-232360号、昭63-293961号、昭64-77152号等を参照)。

ところで、C-MOS等の高速デバイスにより高速アクセスを保证するためには、外部電源及びメモリー・アレイとともに高電圧(具体的には5.0V)を供給する必要があるが、4M、16Mビットクラスのメモリー容量の大きなDRAM素子

になると、消費電力が500mWを超えてしまう。しかし、前述のようなダイパッドレスのリードフレーム1では、素子から発生した熱は効果的に放散できないので、パッケージの熱抵抗が大きくなってしまふ。このため、素子3の故障等を生じ易くなるという問題がある。このように、ダイパッド2のないリードフレーム1においては、DRAM素子の大型化に確實に対応することはきわめて難しい。

このようなことから、ダイパッド2のあるリードフレーム1の方が、DRAM素子の大型化に対応し易いが、ダイパッド2のあるリードフレーム1では、前述の問題を解決しなければならない。

本発明は、このような事情に鑑みてなされたものであり、その目的は、リードフレームにダイパッドを備えても、インナーリードの引き回しができるようにして、半導体素子の大型化に確實に対応させることができることと、しかもパッケージをより一層小型にして高密度実装化に確實に対応することのできるリードフレームを提供すること

ようにしたことを特徴としている。

【作用】

このような構成をした本発明のリードフレームにおいては、前記リードの一部が前記ダイパッドの下に延在しているとともに、そのリードの前記電気的接続される接続端部が前記ダイパッドより外側に突出するようにしているのので、リードフレームの引き回し自由度が向上することとなり、例えばDRAM素子等の半導体素子の大容量化に伴う大型化に確實に対応することができるようになる。

また、前記リードの一部が前記ダイパッドの下に延在することにより、パッケージが小さくなるので、高密度実装化に伴う半導体素子の小型化に確實に対応できるようになる。

更に、消費電力に起因する素子の発熱量が増大しても、発生した熱はダイパッドから効果的に放散できるようになるので、半導体素子の故障率が低減する。

更に本発明のリードフレームの製造方法におい

とである。

【課題を解決するための手段】

前述の課題を解決するために、本発明は、半導体素子が搭載されるダイパッド及びこの半導体素子の電極パッドに電気的接続されるリードを少なくとも備えたリードフレームにおいて、前記リードの一部が前記ダイパッドの下に延在しているとともに、そのリードの前記電気的接続される接続端部が前記ダイパッドより外側に突出していることを特徴としている。

また本発明は、半導体素子が搭載されるダイパッド及びこの半導体素子の電極パッドに電気的接続されるリードを少なくとも備えたリードフレームの製造方法において、前記ダイパッドを支持するタイバーをプレス成形することによりそのダイパッドをアップセットし、その後前記リードを支持するダムバーをプレス成形することにより、前記リードの一部を前記ダイパッドの下に延在させるとともに、そのリードの前記電気的接続される接続端部を前記ダイパッドより外側に突出させる

ては、従来のリードフレームの製造方法に単にプレス工程を付加するだけであるので、製造ラインをほとんど変更することなく、簡単かつ安価にリードフレームを製造することができる。

【実施例】

以下、図面を用いて本発明の実施例について説明する。

第1図は本発明にかかるリードフレームの一実施例を示し、半導体素子の一例として、ダイナミック・ランダム・アクセス・メモリー素子(DRAM素子)に対する300milもしくは350mil幅の樹脂封止型DIP(Dual In-line Package)およびSOJ(Small Outline J-lead Package)用のリードフレームの平面図である。なお、前述の従来のリードフレームと同じ構成要素には同じ符号を付すことにより、その説明は省略する。

第1図(a)に示されているリードフレーム1は、矩形的ダイパッド2、多数のインナーリード4、4、...およびこのインナーリード4と同数のアウターリード7、7、...からなっており、42

%Ni-Fe合金、50%Ni-Fe合金または銅合金等からなり、厚さ0.1mm程度のものを、フォトリソグラフィ法によりレジスト製版した後、湿式エッチング等により所定形状に形成されている。

インナーリード4、4、…の一部4a、4a、…は部分的にダイパッド2の下方に位置するまで延設されており、これらインナーリード4a、4a、…とダイパッド2とは幾何学的に接触しないように配置されている。これらのインナーリード4a、4a、…はダイパッド2の下方位置でダイパッド2の短辺方向に直角に曲がっていてそれらの先端4b、4b、…がダイパッド2の短辺からダイパッド2の外側へ突出している。

ダイパッド2は、一対のタイバー8により一対のフレーム9、9に支持されており、またインナーリード4およびアウターリード7は、これらリード4、7と平行に延びる二対のダムバー10、10、…によって支持されている。

各タイバー8には、折曲部8aが形成されてお

処理の一例を示し、同図(a)に示されているリードフレーム1では、ダイパッド2の裏面の4角の部分に絶縁処理a、a、…が施されており、同図(b)に示されているリードフレーム1では、ダイパッド2裏面の全体に絶縁処理aが施されている。また、同図(c)に示されているリードフレーム1では、ダイパッド2の下に位置するインナーリード4の部分に相当する箇所に絶縁処理aが施されている。

絶縁層13を形成する方法としては、熱硬化性ポリイミド系樹脂および熱硬化性ペースト等の液状絶縁性物質を塗布して、熱処理を行うことにより形成する方法、あるいは熱硬化性ポリイミド系樹脂等のフィルム状絶縁物質、熱可塑性の接着剤および熱硬化性ポリイミド系樹脂の接着剤のいずれか一つを貼付することにより形成する方法がある。その場合、熱硬化性ポリイミド系樹脂等のフィルム状絶縁物質をインナーリード4の部分に貼付することにより、インナーリード4どうしがタービニング接続されるようになる。これにより、イ

リ(第6図に明瞭に示されている)、この折曲部8aにより、ダイパッド2はインナーリード4およびアウターリード7より上方の位置にセットアップされている。これにより、前述のようにインナーリード4aとダイパッド2とは幾何学的に接触しないようになっている。また、第1図(b)に明瞭に示すように、各ダムバー10には、下方に湾曲する湾曲部10a、10a、…が形成されている。

リードフレーム1の材料の硬さが軟らかい場合、もしくは材料の板厚が薄い場合には、ダイパッド2の裏面の一部または全部、もしくはインナーリード4の全域または一部に絶縁処理を施すことにより絶縁層13を形成し(第6図及び第7図に明瞭に示されている)、インナーリード4a、絶縁層13およびダイパッド2の3層構造にされている。これにより、インナーリード4とダイパッド2との接触を回避するようにしているとともに、パッケージ内部の定インピーダンス化を図れるようにしている。第2図(a)~(c)はこの絶縁

ンナーリード4が揃んで、インナーリード4どうしが互いに接触することが防止される。

このようなリードフレーム1を製造するには、まず第3図に示すような従来のリードフレームとほぼ同じ大きさの平板状のリードフレーム1の原形を形成する。この原形のリードフレーム1では、インナーリード4a、4a、…の各先端4b、4b、…は、ダイパッド2周囲の外側に位置していて、ダイパッド2の下方には位置していない。次に、この原形のリードフレーム1のタイバー8をプレス成形して折曲部8aを形成することにより、ダイパッド2をインナーリード4およびアウターリード7よりも上方へアップセットする。ダイパッド2のアップセットを行った後、第4図(a)、(b)に示すようにアウターリード7と水平方向に存在するダムバー10の片側2ヶ所、計4ヶ所(第3図にbで指示)を、金型11、12を用いて所定の圧力にてプレス成形を行う。第5図に示すように、金型11はダムバー10の所定の4ヶ所bのみをプレスできるように、それらの4ヶ所

bに対応する位置にほぼ断面半円形の4個の突起11a, 11a, ...が設けられている。このプレス成形によりダムバー10にリードフレーム1の平面に直交して下方に湾曲する湾曲部10aを形成する。

このように、ダムバー10に湾曲部10aが形成されると、その湾曲した分だけ、ダムバー10が第3図において左右方向の長さが縮小することになる。このため、左右のインナーリード4およびアウターリード7が互いに接近する方向に移動するので、この結果、第1図に示すように一部のインナーリード4aが部分的にダイパッド2の下方に延在するとともに、それらの先端4bがダイパッド2の短辺から外側に突出するようになる。その場合、ダムバー10cの左右方向の長さが縮小することにより、リードフレームの左右の寸法が縮小する。最後にリードフレーム1は、従来と同じようにダムバー10のカット工程およびアウターリード7のフォーミング工程を経て、第6図に部分的に示すように整形される。このように形

5長を短くできる。その後、所定部分を樹脂によりモールドAすることによりパッケージングが完了し、第7図に示すようなパッケージ状態の樹脂封止型半導体装置が得られる。このようにして得られた樹脂封止型半導体装置は、リードフレーム1の左右の寸法が短縮することにより、コンパクトなものとなる。

なお、本発明は前述の実施例に限定されなく、種々の設計変更が可能である。

例えば前述の実施例においては、第1図に示すようにダイパッド2の下方に位置するインナーリード4の先端部4bが他のインナーリードやアウターリード7と同一平面内に形成する。すなわち先端部4bとダイパッド2とは上下位置が異なるものとしているが、それらのダイパッド2の下方に位置するインナーリード4の先端部4bにギャルウイング状の段差加工を施すことにより、先端部4bがダイパッド2と上下位置がほぼ同じ、すなわちダイパッド2とほぼ同一平面内に配設するようにすることもできる。

成されたリードフレーム1においては、インナーリード4がダイパッド2の下方に位置することにより、インナーリード4の引き回しが可能となる。

また、従来のリードフレーム1の製造方法に単にプレス工程を付加するだけであるので、従来の製造ラインを変更することなく、簡単かつ安価にリードフレーム1を製造することができる。

インナーリード4の先端部4bのボンディングポスト4cには、たとえばNi-Fe合金系の場合、Agめっき処理等を施すことにより、ダイパッド2上に搭載されるLSI素子3との電気的接続を行うためのワイヤボンディング5が可能ないようにされている。

そして、このように形成されたリードフレーム1のダイパッド2の上にLSI素子3を搭載した後、LSI素子3の電極パッドとそのパッドに対応するインナーリード4とをボンディングワイヤ5により電気的に接続する。その場合、インナーリード4の先端部4bが素子3の電極パッド近傍まで延在することになるのでボンディングワイヤ

また前述の実施例では、半導体素子の一例として、ダイナミック・ランダム・アクセス・メモリー素子に対する300milもしくは350mil幅の樹脂封止型DIPまたはSOJ用のリードフレームを用いて説明しているが、本発明は、例えばS-RAM(Static Random Access Memory)、EPROM(Erasable-Programmable Read Only Memory)E²ROM(Electrically Erasable Programmable Read Only Memory)等の半導体素子、ZIP(Zig-zag In-line Package)、SOP(Small Outline Package)等のピン挿入型及び表面実装型パッケージに対応するリードフレームに対しても同様に適用することができる。

[発明の効果]

以上の説明から明らかなように、本発明のリードフレームによれば、従来のダイパッドを有する形でのリードフレームの引き回しが可能となるので、半導体パッケージ構造となしたとき、例えばDRAM素子等の半導体素子の大容量化に伴う大型化に確實に対応することができるようになる。

また、本発明によれば、大容量メモリーの半導体装置に見られるような埋没深さが浅くしかも細いインナーリードにおける耐屈性を向上することができるとともに、リードの引き抜き強度の低下を防止することができる。

更に、リードの一部がダイパッドの下に延在する分、すなわち、ダイパッドとインナーリードとが重なる分だけパッケージの小型化がなされるので、素子の高密度実装化に伴う半導体装置の小型化に確実に対応できるようになる。

更に、消費電力に起因する素子の発熱量が増大しても、発生した熱はダイパッドから効果的に放散できるようになるので、半導体素子の故障率が低減する。すなわち、メモリーの高集積化に伴う発熱量の増大にも対処することができるようになる。

更に、リードの先端部が素子の電極パッド近傍まで延在することになるのでボンディングワイヤ長を短くできるとともに、パッケージ内部におけるリード断面積を一定にすることができ、更に、リード、絶縁層およびダイパッドの3層構造によ

りパッケージ内部の定インピーダンス化が図れるようになる。これにより、半導体装置の高周波特性が良好となり、高速アクセスを実現することができるようになる。

更に、本発明のリードフレームの製造方法によれば、従来のリードフレームの製造方法に単にプレス工程を付加するだけであるので、製造ラインをほとんど変更することなく、簡単にかつ安価にリードフレームを製造することができる。

4. 図面の簡単な説明

第1図は本発明に係るリードフレームの一実施例を示し、(a)はその実施例の平面図、(b)は(a)におけるI B-I B線に沿う断面図、(c)は(a)におけるI C-I C線に沿う断面図。第2図(a)、(b)、(c)は絶縁処理を行う部分を示す図。第3図(a)、(b)、(c)はこの実施例の原形を示す第1図と同様の図。第4図(a)、(b)はプレス成形の工程を説明する図。第5図(a)、(b)、(c)はこのプレス成形に使用される金型を示す図。第6図はこの実

施例のリードフレームの部分拡大図。第7図はこの実施例のリードフレームを用いてパッケージングして形成された半導体装置の断面図。第8図は従来のSOJ(SOP)パッケージの構造を示す部分拡大図。第9図は各半導体装置におけるパッケージ中におけるDRAM素子の占有状態を示した図。第10図は従来のArea-wire device構造の半導体装置を示す斜視図。第11図は従来のパッケージ構造を示し、(a)はCOL(Chip On Lead)型のパッケージ構造を部分的に示す斜視図、(b)はLOC(Lead On Chip)型のパッケージ構造を部分的に示す斜視図である。

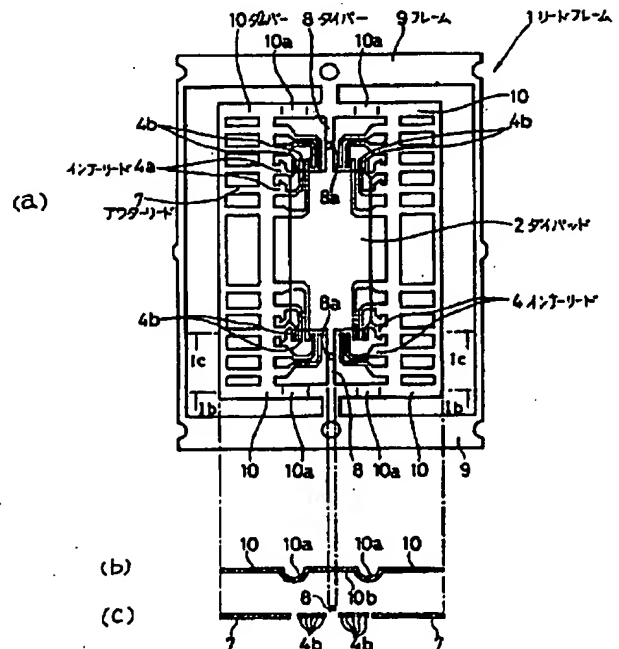
1…リードフレーム、2…ダイパッド、3…絶縁層、4…インナーリード、5…ボンディングワイヤ、7…アウターリード、8…タイバー、10…ダムバー、11、12…プレス成形用金型、13…絶縁層、A…樹脂モールド

特許出願人 大日本印刷株式会社

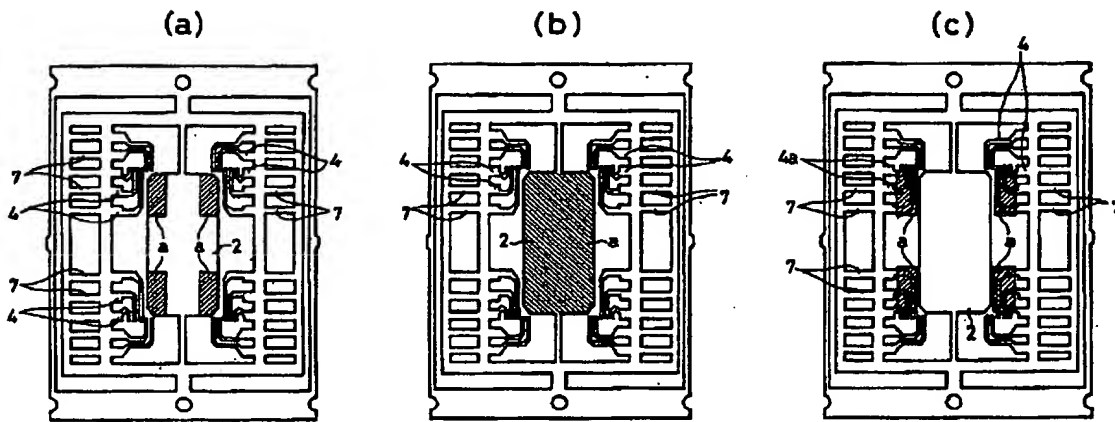
代理人弁理士 青木 健二

(外6名)

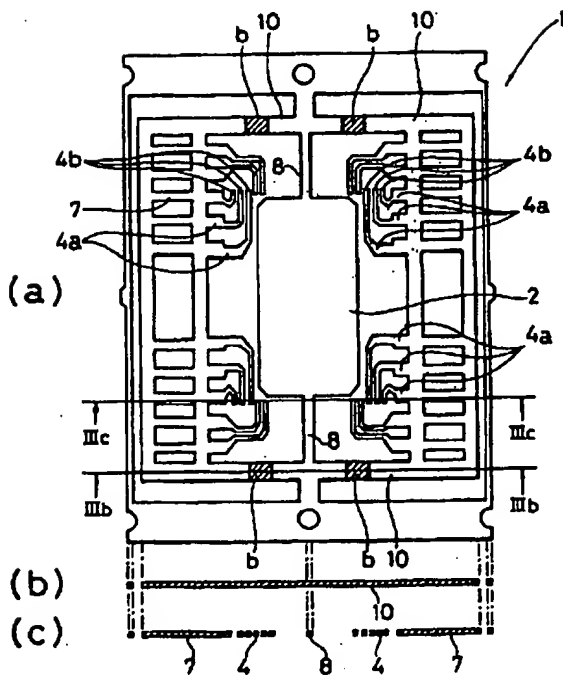
第1図



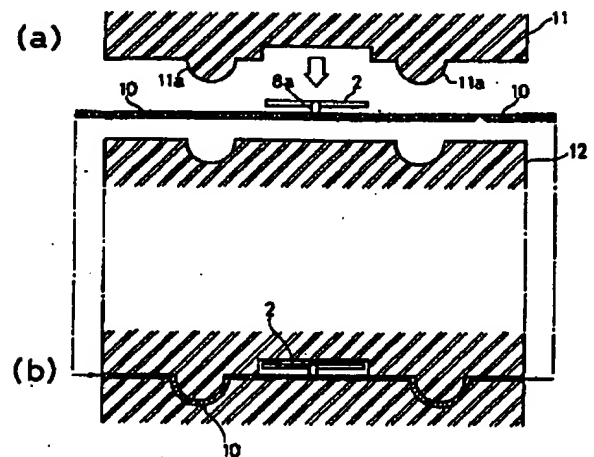
第2図



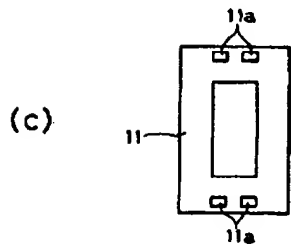
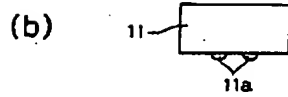
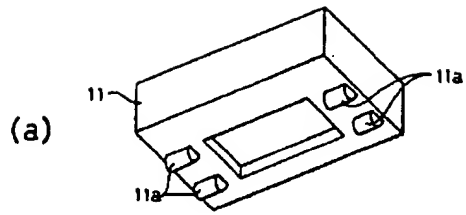
第3図



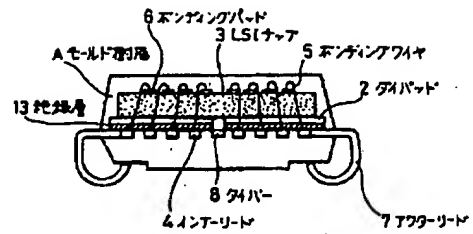
第4図



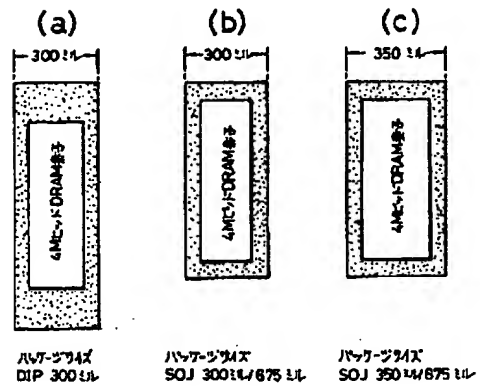
第5図



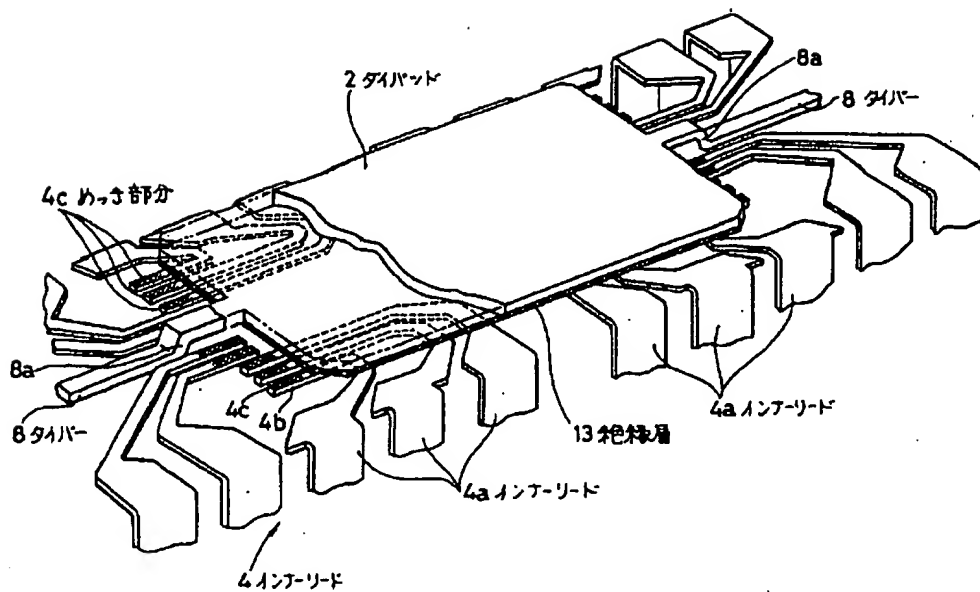
第7図



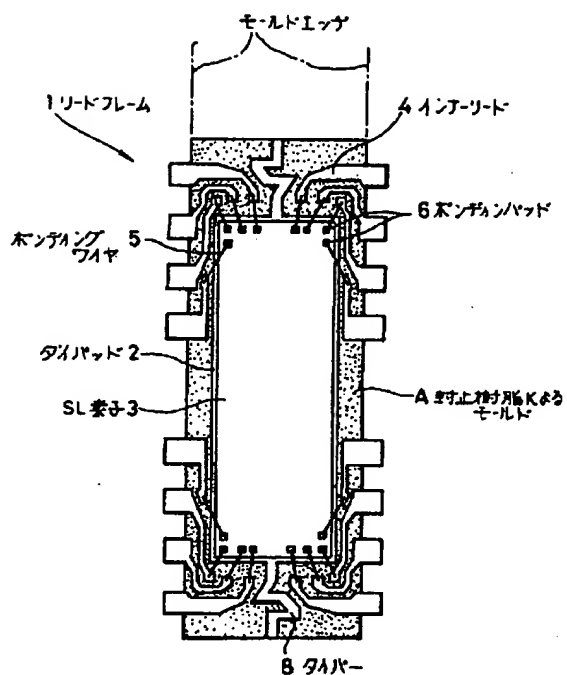
第9図



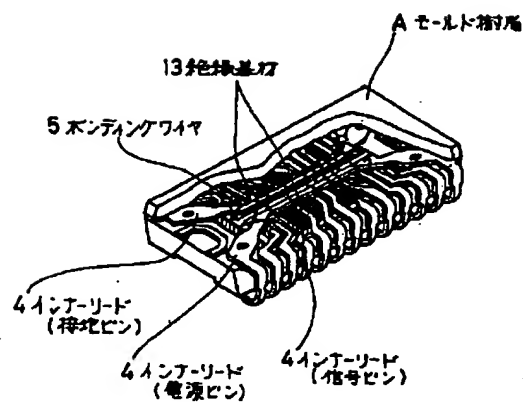
第6図



第8図



第10図



第11図

